

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-270512

(43)Date of publication of application : 14.10.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-078674

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 01.04.1996

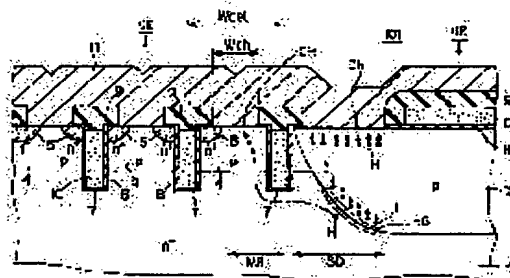
(72)Inventor : TAKAHASHI HIDEKI

## (54) INSULATED GATE SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To maintain the high withstand voltage of a device by forming a third semiconductor layer that is deeper than the second semiconductor layer at direct under gate wiring.

SOLUTION: A p semiconductor layer 13 is formed being connected to and surrounding a p base layer 4 that is formed on a cell region CR in which gate electrodes 10 are arranged. An emitter electrode 11 is connected to the upper surface of the side diffusion region SD of the p semiconductor layer 13 and to the upper surface of a margin region MR that is adjacent to the side diffusion region SD through a contact hole CH. An n<sup>+</sup> layer 5 is not formed in these regions. Most of avalanche holes H that are generated around the side diffusion region SD when high voltage is applied to it go through the side diffusion region SD and a part of it go through the margin region MR and then are exhausted to the emitter electrode 11. As there exists no n<sup>+</sup> emitter layer 5 in these route, no parasitic bipolar transistor is conducted by the passage of holes H. As the result of it, reverse biased safely operating region characteristic is improved.



## LEGAL STATUS

[Date of request for examination]

04.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3410286

[Date of registration]

20.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(10)日本国特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開特許

特開平9-270512

(43)公開日 平成9年(1997)10月14日

(51)Int.C1 <sup>4</sup>	識別記号	片内整理番号	F I	技術表示箇所
H01L 29/78		9447-4M	H01L 29/78	6.5.5 B
		9447-4M		6.5.5 C
		9447-4M		6.5.5 F

審査請求 未請求 請求項の数12 O L (全19頁)

(21)出願番号 特願平8-78674

(22)出願日 平成8年(1996)4月1日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 高橋 文樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 弁護士 吉田 茂明 (外2名)

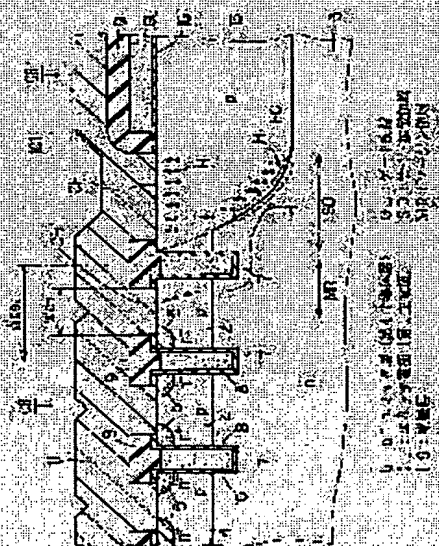
(54)【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57)【要約】

【課題】 装置のRBSOAを改善する。

【解決手段】 ゲート電極10が配列するセル領域CRに形成されたpベース層4に連結するとともに、これを包囲するように、p半導体層13が形成されている。p半導体層13のサイド拡散領域SDの上面、およびサイド拡散領域SDに近接するマージン領域MRの上面には、コンタクトホールCHを通してエミッタ電極11が接続されている。また、これらの領域には、n+エミッタ層は形成されない。高い電圧が印加されたときにサ

イド拡散領域SDの付近で発生するアバランシェホールHの大半はサイド拡散領域SDを通過し、一部はマージン領域MRを通過し、その後エミッタ電極11へと排除される。これらの経路にはn+エミッタ層が存在しないので、ホールHの流れによって寄生バイポーラトランジスタが導通することがない。その結果、RBSOAが向上する。



【特許請求の範囲】

【請求項1】 絶縁ゲート型半導体装置において、

上主面と下主面を規定する半導体基体を備え、

当該半導体基体は、

前記上主面に露出する第1導電型の第1半導体層と、

当該第1半導体層の中で前記上主面の部分に形成された第2導電型の第2半導体層と、

不純物を選択的に拡散することによって、前記第2半導体層よりも深く、しかも当該第2半導体層に連通するとともにその周囲を包囲するように、前記第1半導体層の中の前記上主面の部分に形成された第2導電型の第3半導体層と、

前記第2半導体層の中で前記上主面の部分に選択的に形成された第1導電型の第4半導体層と、を備えており、前記半導体基体には、前記上主面に開口するとともに前記第4および第2半導体層を貫通し前記第1半導体層にまで達する溝が形成されており、

前記装置は、

前記溝の内壁を覆う電気絶縁性のゲート絶縁膜と、

前記半導体基体との間に前記ゲート絶縁膜を挟んで前記溝に埋設されたゲート電極と、

前記第3半導体層に沿うように、前記上主面の上に絶縁膜を介して配設され、前記ゲート電極に電気的に接続されたゲート配線と、

前記上主面の上に配設され、前記第2および第4半導体層に電気的に接続された第1主電極と、

前記下主面の上に配設され、当該下主面に電気的に接続された第2主電極と、

をさらに備え、

前記第1主電極は、前記第3半導体層の中で前記第2半導体層に隣接するサイド拡散領域にも電気的に接続されており、

前記サイド拡散領域には、前記第4半導体層が形成されていないことを特徴とする絶縁ゲート型半導体装置。

【請求項2】 請求項1に記載の絶縁ゲート型半導体装置において、

前記第1主電極は、前記第2半導体層の中で前記サイド拡散領域から一定距離以内の領域として規定されるマージン領域にも電気的に接続されており、

当該マージン領域にも、前記第4半導体層が形成されていないことを特徴とする絶縁ゲート型半導体装置。

【請求項3】 請求項2に記載の絶縁ゲート型半導体装置において、

前記一定距離が、 $500\mu\text{m}$ 以下であることを特徴とする絶縁ゲート型半導体装置。

【請求項4】 請求項1ないし請求項3のいずれかに記載の絶縁ゲート型半導体装置において、

前記溝が、互いに平行かつ等間隔に配列する複数の単位溝に分割されていることを特徴とする絶縁ゲート型半導体装置。

【請求項5】 請求項4に記載の絶縁ゲート型半導体装置において、

前記複数の単位溝の配列方向の端部に位置する少なくとも1本が、前記第3半導体層の中に形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項6】 請求項1ないし請求項5のいずれかに記載の絶縁ゲート型半導体装置において、

前記溝の長手方向の端部が、前記第3半導体層の内部にまで侵入していることを特徴とする絶縁ゲート型半導体装置。

【請求項7】 請求項1ないし請求項6のいずれかに記載の絶縁ゲート型半導体装置において、

前記半導体基体が、

前記第2半導体層および前記第3半導体層の前記第1主電極との接点部分に選択的に形成され、これらの第2および第3半導体層よりも不純物濃度の高い第5半導体層を、

さらに備えることを特徴とする絶縁ゲート型半導体装置。

【請求項8】 絶縁ゲート型半導体装置の製造方法において、

(a)上主面と下主面を規定するとともに当該上主面に露出する第1導電型の第1半導体層を備える半導体基体を準備する工程と、

(b)前記上主面に、第2導電型の不純物を導入することによって、第2導電型の第2半導体層と第3半導体層とを、当該第3半導体層が前記第2半導体層よりも深く、しかも前記第3半導体層が前記第2半導体層に連通するとともにその周囲を包囲する関係となるように、前記第1半導体層の前記上主面の部分に形成する工程と、

(c)前記上主面に選択的に第1導電型の不純物を導入することにより、第1導電型の第4半導体層を、前記第3半導体層を除く前記第2半導体層の前記上主面の部分に選択的に形成する工程と、

(d)前記上主面から選択的にエッチングを施すことにより、前記第4および第2半導体層を貫通し前記第1半導体層に達する溝を、前記半導体基体に選択的に形成する工程と、

(e)前記溝の内壁および前記半導体基体の上主面とを覆う絶縁膜を形成する工程と、

(f)前記絶縁膜を覆うように導電層を形成する工程と、

(g)前記溝の内部と前記第3半導体層に沿った部分とを覆うように、前記導電層を選択的に除去することによって、ゲート電極とゲート配線とを形成する工程と、

(h)前記第2および第4半導体層に電気的に接続するとともに、前記第3半導体層の前記第2半導体層に隣接するサイド拡散領域にも電気的に接続する第1主電極を、前記上主面の上に形成する工程と、

(i)前記下主面に電気的に接続する第2主電極を形成する工程と。

を備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項9】 請求項8に記載の絶縁ゲート型半導体装置の製造方法において、

前記工程(c)で、前記第4半導体層が、前記第2半導体層の中で前記サイド拡散領域から一定距離以内の領域として規定されるマージン領域をも隠して形成され、

前記工程(h)で、前記第1主電極が、前記マージン領域にも電気的に接続されることを、特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項10】 請求項8または請求項9に記載の絶縁ゲート型半導体装置の製造方法において、

前記工程(d)で、前記溝が、互いに平行かつ等間隔に配列する複数の単位溝に分割して形成されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項11】 請求項10に記載の絶縁ゲート型半導体装置の製造方法において、

前記工程(d)で、前記単位溝の少なくとも一本が前記サイド拡散領域にも形成されることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項12】 請求項8ないし請求項11のいずれかに記載の絶縁ゲート型半導体装置の製造方法において、

(i)前記工程(h)に先だって、前記上主面に第2導電型の不純物を選択的に導入することにより、前記第2および第3半導体層のいずれよりも不純物濃度の高い第2導電型の第5半導体層を、前記第2および第3半導体層の中の前記第1主電極が接続されるべき前記上主面の部分に選択的に形成する工程、をさらに備えることを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、トレンチゲートを有する絶縁ゲート型半導体装置に関し、特に、RBSOAを向上させるための改良に関する。

【0002】

【従来の技術】 絶縁ゲート型半導体装置は、チャネルを形成するための半導体層に、絶縁膜を介してゲート電極が対向した構造を有する半導体装置であり、絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor: 以下、IGBTと略記する)、およびMOSトランジスタは、その代表例である。絶縁ゲート型半導体装置では、大きな主電流を得るために、並列接続された多数のユニットセルが単一の半導体基板に作り込まれた構造が一般的である。

【0003】 中でも、トレンチゲートを有する絶縁ゲート型半導体装置、すなわちゲート電極が半導体基板の一主面に形成された溝 (トレンチ) の中に埋め込まれた構造を有する装置は、微細化が容易であるため集積度を高めることができる、などの利点を備える優れた装置として注目を集めている。

【0004】 図29は、この発明の背景となる従来のトレンチゲートを有する絶縁ゲート型バイポーラトランジスタ (以下において、「トレンチIGBT」と称する) の断面図である。この従来の装置151では、平板状のシリコン半導体基板の中に、p+コレクタ層1、n+バッファ層2、および、n-半導体層3が順次積層されている。そして、半導体基板の中のセル領域CRには、その上主面 (n-半導体層3が形成される側の主面) に、多数の溝7が、一定の間隔Weelをもって互いに平行に配列するように形成されている。

【0005】 また、セル領域CRでは、n-半導体層3の表面部分に、p+ベース層4が形成されている。さらに、p+ベース層4の表面部分には、溝7の側壁に隣接するようにn+エミッタ層5が選択的に形成されている。溝7の内里面には、ゲート絶縁膜6が形成されており、その内側にはゲート電極 (トレンチゲート) 10が埋設されている。ゲート電極10に対向し、しかもn+エミッタ層5とn-半導体層3とに挟まれたp+ベース層4の領域が、チャネル領域として機能する。

【0006】 セル領域CRは、ゲート配線領域GRによって包囲されている。ゲート配線領域GRでは、半導体基板の上主面の下に、絶縁膜17を介してゲート配線6Lが配設されている。そして、ゲート配線6Lの直下の領域を含むn-半導体層3の上主面部分には、p+半導体層13が選択的に形成されている。p+半導体層13は、装置151の耐圧を高く保持するために設けられており、その目的を有効に果たすために、p+ベース層4よりも深く形成される。

【0007】 半導体基板の上主面の中の隣合う溝7に挟まれた領域において、エミッタ電極11が、p+ベース層4とn+エミッタ層5の双方に接続されている。エミッタ電極11とゲート電極10の間、および、エミッタ電極11とゲート配線6Lの間には、絶縁層9が介在しており、この絶縁層9によってそれらの間の電気的接続が保たれている。

【0008】 半導体基板の下主面すなわちp+コレクタ層1の表面には、コレクタ電極12が接続されている。これらのエミッタ電極11およびコレクタ電極12が、一對の主電極として機能する。

【0009】 コレクタ電極12とエミッタ電極11との間に、正のコレクタ電圧VCEを印加した状態で、ゲート電極10とエミッタ電極11の間に、所定のゲート印加電圧Vge(th)を超える正のゲート電圧Vgeを印加すると、チャネル領域がp型からn型へと反転する。その結果、エミッタ電極11からn+エミッタ層5を経由した電子がn-半導体層3へ注入される。

【0010】 この注入された電子により、p+コレクタ層1とn-半導体層3 (n+バッファ層2を含む) との間が順バイアスされるので、p+コレクタ層1からn-半導体層3へとホールが注入される。その結果、n-半導体



層3の抵抗が大幅に低下するので、コレクタ電極12からエミッタ電極11へと大きなコレクタ電流（主電流）が流れる。

【0011】 つぎに、ゲート電圧 $V_{GE}$ をゼロあるいは負の値に戻すと、チャネル領域6は、元のp型へと復帰する。その結果、エミッタ電極11からの電子の注入が止まるので、pコレクタ層1からのホール注入も停止する。その後、n-半導体層3（およびn+バッファ層2）に溜まっていた電子とホールは、それぞれコレクタ電極12およびエミッタ電極11へと回収されるが、または互いに再結合することによって消滅する。

【0012】

【発明が解決しようとする課題】 ところで、図29からも明らかなように、IGBTでは一般に、n+エミッタ層5、pベース層4、およびn-半導体層3で構成されるバイポーラトランジスタが、寄生的に存在している。そして、pベース層4を流れるホール電流が、あたかも寄生バイポーラトランジスタのベース電流として供給する。したがって、pベース層4を流れるホール電流が、ある値を超えると、寄生バイポーラトランジスタが導通（オン）する。

【0013】 寄生バイポーラトランジスタが、一旦導通すると、n+エミッタ層5、pベース層4、n-半導体層3、および、pコレクタ層1で構成される寄生サイリスタも導通する。この寄生サイリスタが導通することを、ラッチアップと呼ぶ。IGBTがラッチアップすると、エミッタ電極11とコレクタ電極12の間を流れる主電流（コレクタ電流）は、もはやゲート電圧 $V_{GE}$ とは無関係に流れ続ける。すなわち、ゲート電圧 $V_{GE}$ によってコレクタ電流を制御することが不可能となる。その結果、IGBTは破壊へと至ることになる。

【0014】 このラッチアップによる破壊は、トレンチIGBTの場合には、特定の動作時に、しかも、半導体基体の中のある特定の部位で発生し易い。例えば、主電極に誘導負荷（以下、「L負荷」と略記する）が接続されており、しかも、大きな主電流が流れる場合に、ラッチアップが発生し易い。装置がオン状態にあるときに流れている主電流を、装置がオフ状態へ移行したときに遮断できる能力の高さは、周知のRBSOA（Reverse Bias Safe Operation Area、逆バイアス安全動作領域）で評価される。いうまでもなく、遮断できる主電流が大きいこと、すなわち、RBSOAが広いことが望まれる。

【0015】 図30は、L負荷が接続された状態で、IGBTがオン状態からオフ状態へと遷移するときの、コレクタ電流 $I_C$ とコレクタ電圧 $V_{CE}$ の変化を模式的に示すグラフである。L負荷が接続されている状態で、コレクタ電流 $I_C$ が減少するときには、L負荷の誘導の大きさをしとすると、 $(-L \cdot dI_C/dt)$  で与えられる誘導起電力が、L負荷に発生する。

【0016】 そして、外部電源から供給される直流の電

源電圧に、この誘導起電力が加算された電圧が、コレクタ電圧 $V_{CE}$ としてエミッタ電極11とコレクタ電極12の間に印加される。その結果、図30に示すように、IGBTがオン状態からオフ状態へと遷移する過程で、コレクタ電圧 $V_{CE}$ にサージ電圧が現れる。

【0017】 図30に示すように、IGBTの定格電圧に相当する大きさの電源電圧が供給され、しかも、オン状態にあるときのコレクタ電流 $I_{C0}$ の大きさが定格電流に相当する大きさである場合には、サージ電圧によって過剰なコレクタ電圧 $V_{CE}$ が印加され、その結果、半導体基体の内部にアバランシェ電流が発生する。

【0018】 このアバランシェ電流は、先に述べた寄生バイポーラトランジスタのベース電流となる。このため、ある値以上のアバランシェ電流が、n+エミッタ層5が存在するpベース層4を流れると、寄生バイポーラトランジスタがオンし、IGBTの破壊をもたらされる。IGBTの破壊をもたらすアバランシェ電流は、半導体基体の中において、電界が集中する部位、すなわちコレクタ電圧 $V_{CE}$ が印加されたときに電界が最も強くなる部位で発生する。

【0019】 一般に電界は、突出した部位、あるいは強く湾曲した部位に集中して発生する。したがって、一般的には、溝7の底部の周囲、あるいはp半導体層13の両端部を形成しているサイド拡散領域に、電界が集中し易い。しかしながら、図29に示した装置151では、溝7の底部の周囲に発生する電界を十分に弱めるように、間隔 $W_{oe}$ が十分に狭く設定されている。このため、セル領域CRでは、電界は比較的弱い。さらに、p半導体層13の外周には、電界を弱めるためのガードリング14が配設されているので、ガードリング14に面するp半導体層13のサイド拡散領域においても、強い電場は発生しない。

【0020】 したがって、装置151においては、電界は、セル領域CRに面するp半導体層13のサイド拡散領域において、最も強くなる。図31は、このサイド拡散領域の付近を拡大して示す拡大断面図である。図31に示すように、サイド拡散領域とn-半導体層3の境界付近の領域、すなわち電場が最も強く集中する領域において、アバランシェ電流が発生する。すなわち、ホールHと電子Eの対が発生する。

【0021】 これらの中ホールHは、n-半導体層3を通過した後、p半導体層13の付近のpベース層4を通過してエミッタ電極11へと放れて行く。このとき、ホールHの穴れが、寄生バイポーラトランジスタのベース電流として寄与する。したがって、アバランシェ電流が、ある閾値を超えて大きくなると、寄生バイポーラトランジスタが導通する。その結果、装置151はラッチアップし、破壊へと至る。

【0022】 以上のように、従来の装置151では、セル領域CRに面するp半導体層13のサイド拡散領域で

発生するアバランシェ電流が、ラッチアップの原因となっており、装置のRBSOAが、このサイド拡散領域で発生するアバランシェ電流によって制限されていた。

【0023】この発明は、従来の技術における上記した問題を解消するためになされたもので、アバランシェ電流による寄生バイポーラトランジスタの導通を抑え、そのことによってRBSOAを向上させた絶縁ゲート型半導体装置を得ることを目的としており、さらにこの絶縁ゲート型半導体装置の製造に適した方法を提供することを目的とする。

【0024】

【課題を解決するための手段】第1の発明の装置は、絶縁ゲート型半導体装置において、上主面と下主面を規定する半導体基体を備え、当該半導体基体は、前記上主面に露出する第1導電型の第1半導体層と、当該第1半導体層の中で前記上主面の部分に形成された第2導電型の第2半導体層と、不純物を選択的に拡散することによって、前記第2半導体層よりも深く、しかも当該第2半導体層に連結するとともにその周囲を包囲するように、前記第1半導体層の中の前記上主面の部分に形成された第2導電型の第3半導体層と、前記第2半導体層の中で前記上主面の部分に選択的に形成された第1導電型の第4半導体層と、を備えており、前記半導体基体には、前記上主面に開口するとともに前記第4および第2半導体層を貫通し前記第1半導体層にまで達する溝が形成されており、前記装置は、前記溝の内壁を覆う電気絶縁性のゲート絶縁膜と、前記半導体基体との間に前記ゲート絶縁膜を挟んで前記溝に埋設されたゲート電極と、前記第3半導体層に沿うように、前記上主面の上に絶縁膜を介して配設され、前記ゲート電極に電気的に接続されたゲート配線と、前記上主面の上に配設され、前記第2および第4半導体層に電気的に接続された第1主電極と、前記下主面の上に配設され、当該下主面に電気的に接続された第2主電極と、をさらに備え、前記第1主電極は、前記第3半導体層の中で前記第2半導体層に隣接するサイド拡散領域にも電気的に接続されており、前記サイド拡散領域には、前記第4半導体層が形成されていないことを特徴とする。

【0025】第2の発明の装置は、第1の発明の絶縁ゲート型半導体装置において、前記第1主電極は、前記第2半導体層の中で前記サイド拡散領域から一定距離以内の領域として規定されるマージン領域にも電気的に接続されており、当該マージン領域にも、前記第4半導体層が形成されていないことを特徴とする。

【0026】第3の発明の装置は、第2の発明の絶縁ゲート型半導体装置において、前記一定距離が、概50μm以下であることを特徴とする。

【0027】第4の発明の装置は、第1ないし第3のいずれかの発明の絶縁ゲート型半導体装置において、前記溝が、互いに平行かつ等間隔に配列する複数の単位溝に

分割されていることを特徴とする。

【0028】第5の発明の装置は、第4の発明の絶縁ゲート型半導体装置において、前記複数の単位溝の配列方向の端部に位置する少なくとも1本が、前記第3半導体層の中に形成されていることを特徴とする。

【0029】第6の発明の装置は、第1ないし第5のいずれかの発明の絶縁ゲート型半導体装置において、前記溝の長手方向の端部が、前記第3半導体層の内部にまで侵入していることを特徴とする。

【0030】第7の発明の装置は、第1ないし第6のいずれかの発明の絶縁ゲート型半導体装置において、前記半導体基体が、前記第2半導体層および前記第3半導体層の前記第1主電極との接続部分に選択的に形成され、これらの第2および第3半導体層よりも不純物濃度の高い第5半導体層を、さらに備えることを特徴とする。

【0031】第8の発明の製造方法は、絶縁ゲート型半導体装置の製造方法において、(a)上主面と下主面とを規定するとともに当該上主面に露出する第1導電型の第1半導体層を備える半導体基体を準備する工程と、(b)前記上主面に、第2導電型の不純物を導入することによって、第2導電型の第2半導体層と第3半導体層とを、当該第3半導体層が前記第2半導体層よりも深く、しかも前記第3半導体層が前記第2半導体層に連結するとともにその周囲を包囲する関係となるように、前記第1半導体層の前記上主面の部分に形成する工程と、(c)前記上主面に選択的に第1導電型の不純物を導入することにより、第1導電型の第4半導体層を、前記第3半導体層を除く前記第2半導体層の前記上主面の部分に選択的に形成する工程と、(d)前記上主面から選択的にエッチングを施すことにより、前記第4および第2半導体層を貫通し前記第1半導体層に達する溝を、前記半導体基体に選択的に形成する工程と、(e)前記溝の内壁および前記半導体基体の上主面とを覆う絶縁膜を形成する工程と、(f)前記絶縁膜を覆うように導電層を形成する工程と、(g)前記溝の内部と前記第3半導体層に沿った部分とを、溝のように、前記導電層を選択的に除去することによって、ゲート電極とゲート配線とを形成する工程と、(h)前記第2および第4半導体層に電気的に接続するとともに、前記第3半導体層の前記第2半導体層に隣接するサイド拡散領域にも電気的に接続する第1主電極を、前記上主面の上に形成する工程と、(i)前記下主面に電気的に接続する第2主電極を形成する工程と、を備えることを特徴とする。

【0032】第9の発明の製造方法は、第8の発明の絶縁ゲート型半導体装置の製造方法において、前記工程(c)で、前記第4半導体層が、前記第2半導体層の中で前記サイド拡散領域から一定距離以内の領域として規定されるマージン領域をも除いて形成され、前記工程(h)で、前記第1主電極が、前記マージン領域にも電気的に接続されることを、特徴とする。

【0033】第10の発明の製造方法は、第8または第9の発明の絶縁ゲート型半導体装置の製造方法において、前記工程(d)で、前記溝が、互いに平行かつ等間隔に配列する複数の単位溝に分割して形成されることを特徴とする。

【0034】第11の発明の製造方法は、第10の発明の絶縁ゲート型半導体装置の製造方法において、前記工程(d)で、前記単位溝の少なくとも一本が前記サイド拡散領域にも形成されることを特徴とする。

【0035】第12の発明の製造方法は、第8ないし第11のいずれかの発明の絶縁ゲート型半導体装置の製造方法において、(i)前記工程(h)に先だって、前記上主面に第2導電型の不純物を選択的に導入することにより、前記第2および第3半導体層のいずれよりも不純物濃度の高い第2導電型の第5半導体層を、前記第2および第3半導体層の中の前記第1主電極が接続されるべき前記上主面の部分に選択的に形成する工程、をさらに備えることを特徴とする。

【0036】

【発明の実施の形態】

<1. 実施の形態1>はじめに実施の形態1の絶縁ゲート型半導体装置について説明する。図2は、この実施の形態の絶縁ゲート型半導体装置の平面図である。この装置101は、図2(a)に示した従来の装置151と同様に、多数のユニットセルを有するIGBTとして構成されている。なお、以下の図において、従来の装置151の相当部分、すなわち同一の機能をもち部分については、図2(a)と同一の符号を付す。

【0037】図2に示すように、装置101の上面には、一辺の中央部に隣接するように矩形的のゲートパッドGPが設けられ、ゲートパッドGPにはゲート配線GLが接続されている。ゲート配線GLは、装置101の上面の外周に沿って配設されるとともに、一辺から対向する他の一辺へ向かって樹状状に突出するように配設されている。すなわち、ゲート配線GLは、上面をあたかも等分割するように配設されている。そして、ゲート配線GLに包囲される領域の全面にわたって、エミッタ電極11が形成されている。

【0038】図2には示されないが、エミッタ電極11の下(図2において、紙面の奥側)には、ユニットセルとしてのIGBTセルが、樹状状のゲート配線GLに直交するストライプ状に多数配列している。このユニットセルが配列される領域を“セル領域CR”と称する。また、ゲート配線GLが配設される領域を“ゲート配線領域GR”と称する。

【0039】<1-1. セル領域の構成と動作>図3は、セル領域CR内のO1-G1切断線(図2)に沿った装置101の断面を示す断面斜視図である。図3には、2本のユニットセルが描かれている。図3に示すように、装置101では、高濃度のn型不純物を含むpコレクタ

層1の上に、高濃度のn型不純物を含んだn+バッファ層2が形成されており、更に、このn+バッファ層2の上に、低濃度のn型不純物を含んだn-半導体層3が形成されている。

【0040】また、このn-半導体層3の上にはp型の不純物を導入することによりpベース層4が形成されている。更に、pベース層4の上主面には、高濃度のn型不純物を選択的に導入することによって、n+エミッタ層5が選択的に形成されている。これらの5つの半導体層によって、2つの主面を有する平板状の半導体基体200が構成されている。

【0041】この半導体基体200の上主面(pベース層4が形成される側の主面)には、溝(トレンチ)7が、n+エミッタ層5およびpベース層4を貫通し、n-半導体層3にまで達するように形成されている。この溝7は、ユニットセルごとに1本ずつ形成されており、しかも、互いに平行に配列するストライプ状に形成されている。溝7の内側面には、ゲート絶縁膜9が形成されており、その内側にはゲート電極(トレンチゲート)10が埋め込まれている。ゲート電極10に対向し、しかもn+エミッタ層5とn-半導体層3とに接したpベース層4の帯状の領域が、チャネル領域として機能する。

【0042】n+エミッタ層5は、隣合う2つの溝7に接したpベース層4の上主面に鏡状に露出するように形成されている。すなわち、n+エミッタ層5は、隣合う2つの溝7の側壁に接触して帯状に延びた2本の帯状部分と、これら2本の帯状部分の間を部分的に(図3のC2-C2切断線に沿って)接続する橋本(クロスバー)部分を有している。したがって、C2-C2切断線に沿った断面では、n+エミッタ層5は、半導体基体200の上面に沿って、隣合う2つの溝7を連結している(図示を略す)。

【0043】半導体基体200の上主面には、ゲート電極10を覆うように、絶縁層9が選択的に形成されている。さらに、絶縁層9はエミッタ電極11によって覆われている。絶縁層9には、隣合う2つの溝7に接した領域において、帯状に開口するコンタクトホールCHが形成されている。そして、このコンタクトホールCHを通して、エミッタ電極11は、n+エミッタ層5とpベース層4との双方に接続されている。

【0044】一方、半導体基体200の下主面、すなわちpコレクタ層1が露出する側の主面には、コレクタ電極12が形成されている。コレクタ電極12は、エミッタ電極11とともに、コレクタ電流(主電流)の経路として機能する一対の主電極を構成する。

【0045】半導体基体200の構成材料がシリコンを主成分とする代表例では、ゲート絶縁膜9は、好ましくはシリコンの酸化膜、すなわちSiO<sub>2</sub>で構成される。また、溝7およびゲート配線GLは、不純物がドーパされたポリシリコンで構成されるのが望ましい。さら



に、絶縁層9は、望ましくは、BPSGすなわちボロンとリンを含有したシリケートガラスで構成される。また、エミッタ電極11およびゲートパッドGPは、Al-SiすなわちSiを含有するアルミニウムで構成されるのが望ましく、コレクタ電極12は、好ましくはAl-MoNiAu合金で構成される。

【0046】この装置101を使用するには、まず、外部電源を接続することによって、コレクタ電極12とエミッタ電極11との間に、正のコレクタ電圧V<sub>CE</sub>が印加される。この状態で、ゲート電極10とエミッタ電極11の間に、所定のゲート駆動電圧V<sub>GE</sub>(H)を超える正のゲート電圧V<sub>GE</sub>を印加する(すなわち、ゲートをオンする)と、p型のチャネル領域6が、n型へと反転することにより、チャネル領域6にn型のチャネルが形成される。その結果、エミッタ電極11からn+エミッタ層5を経由した電子がn-半導体層3へ注入される。

【0047】この注入された電子により、p+コレクタ層1とn-半導体層3(n+バッファ層2を含む)との間が順バイアスされるので、p+コレクタ層1からn-半導体層3へとホールが注入される。その結果、n-半導体層3の抵抗が大幅に低下するので、コレクタ電極12からエミッタ電極11へと大きなコレクタ電流(主電流)が流れる。すなわち、エミッタ電極11とコレクタ電極12の間が、導通状態(オン状態)となる。

【0048】このときのエミッタ電極11とコレクタ電極12の間の抵抗および電圧は、それぞれ、オン抵抗およびオン電圧V<sub>CE(sat)</sub>と称される。上記したように、装置101では、p+コレクタ層1からホールが注入されるために、n-半導体層3の抵抗が低くなっており、そのことによって、低いオン抵抗、すなわち低いオン電圧V<sub>CE(sat)</sub>が実現する。

【0049】つまり、ゲート電圧V<sub>GE</sub>をゼロあるいは負(逆バイアス)の値に戻す(ゲートをオフする)と、チャネル領域6に形成されたチャネルは消滅し、チャネル領域6は本来のp型の導電形式へ復帰する。その結果、エミッタ電極72からの電子の注入が止まるので、p+コレクタ層1からのホールの注入も停止する。

【0050】その後、n-半導体層3(およびn+バッファ層2)に溜まっていた電子とホールは、それぞれコレクタ電極12およびエミッタ電極11へと回収されるか、または互いに再結合することによって消滅する。その結果、エミッタ電極11とコレクタ電極12の間は、電流が流れない遮断状態(オフ状態)となる。

【0051】装置101では、n+エミッタ層5が溝7に埋められた半導体基板200の上表面に露出するので、コンタクトホールCHの位置(図3における2点鎖線)がずれても、p+ベース層4およびn+エミッタ層5とエミッタ電極11との間の電氣的接触が、つねに保証される。このため、コンタクトホールCHのマスキの位置ずれを考慮した冗長設計を必要としないので、ユ

ニットセルの微細化が行い易いという利点がある。

【0052】<1-2.セル領域とゲート配線領域との境界付近の構成と動作>図4、図5、および図1は、装置101のセル領域CRとゲート配線領域GRとの間の境界付近の構成を示す断面図である。これらの中で、図4は、図2におけるC3-C3'切断線付近の半導体基板200の上表面を示す断面図、図5は、C3-C3'切断線に沿った断面図、そして、図1は、C4-C4'切断線に沿った断面図である。

【0053】図4あるいは図1に示すように、セル領域CRでは、ユニットセルが一定の間隔W<sub>cell</sub>をもって平行に配列している。そして、コンタクトホールCHが、セル領域CRにおいては、各ユニットセルごとに、幅W<sub>ch</sub>を有する帯状に形成されている。

【0054】一方、ゲート配線領域GRでは、半導体基板200の上表面の上に、絶縁膜16を介してゲート配線GLが配設されている。そして、ゲート配線GLの直下の領域を含むn-半導体層3の上表面部分には、p+半導体層13が選択的に形成されている。しかも、p+半導体層13は、p+ベース層4よりも深く形成されている。

【0055】図4および図5に示すように、ユニットセルの長手方向には、セル領域CRとゲート配線領域GRとの境界が存在する。また、図1に示すように、ユニットセルの配列方向にも、同様に境界が存在する。すなわち、セル領域CRは、ゲート配線領域GRによって包囲されている。そして、ゲート配線領域GRに付随するp+半導体層13も、同様にセル領域CRを包囲するように形成されている。

【0056】p+半導体層13は、p型不純物を選択的に拡散することによって形成されており、その端部の断面形状は、サイド拡散(横方向拡散)のために、頸状に湾曲している。したがって、セル領域CRには、サイド拡散によって形成されたp+半導体層13の端部、すなわちサイド拡散領域SDが隣接している。

【0057】図1に示すように、ユニットセルの配列方向の端部に位置するサイド拡散領域SDの上面(半導体基板200の上表面に含まれる表面)に、コンタクトホールCHが形成されている。さらに、サイド拡散領域SDに隣接するp+ベース層4の上面にも、サイド拡散領域SDから一定距離以内の領域であるマージン領域MRにおいて、コンタクトホールCHが形成されている。

【0058】図4および図5に示すように、ユニットセルの長手方向の端部では、ゲート電極10がゲート配線GLへと接続されるために、溝7はp+半導体層13を貫通している。そして、溝7の間に形成されたコンタクトホールCHが、p+半導体層13に隣接するマージン領域MRの上面からp+半導体層13のサイド拡散領域SDの上面へと及ぶ範囲にまで延長されている。

【0059】このように、セル領域CRを包囲するサイド拡散領域SDの上面、およびそれに隣接するマージン



領域MRの上面には、コンタクトホールCHが形成されている。そして、コンタクトホールCHを通じて、サイド拡散領域SDの上面、およびマージン領域MRに相当するpベース層4の上面が、エミッタ電極11に接続されている。また、サイド拡散領域SDおよびマージン領域MRには、n+エミッタ層5は形成されない。

【0060】サイド拡散領域SDおよびマージン領域MRにおけるこれらの特徴的な構成は、装置101のRBSOAに関して重要な役割を果たす。例えば、L負荷が接続された状態で装置101がオン状態からオフ状態へと移行する過程等では、図1および図5に示すように、サイド拡散領域SDとn-半導体層3の間の湾曲した境界面の付近で、ホールHと電子Eの対が発生する。これらの電子Eは、コレクタ電極12へと向かい、ホールHはエミッタ電極11へと向かう。これらのキャリアが、アバランシェ電流を担う。

【0061】しかしながら、従来の装置151とは異なり、サイド拡散領域SDの上面が、コンタクトホールCHを通じてエミッタ電極11に接続されているので、発生したホールHの大半は、サイド拡散領域SDの内部を通過して、サイド拡散領域SDの上面に接続されたエミッタ電極11へと速やかに抜けて行く。すなわち、サイド拡散領域SDを通過し、上面に接続されたエミッタ電極11へと抜ける経路が、ホールHの主要経路となる。

【0062】また、主要経路から外れた少数のホールHは、pベース層4のp半導体層13に近い領域へと侵入する。しかしながら、p半導体層13に隣接するマージン領域MRの上面も、コンタクトホールCHを通じてエミッタ電極11へ接続されているので、pベース層4へ侵入した少数のホールHも、エミッタ電極11へと速やかに排除される。

【0063】さらに、上述したように、サイド拡散領域SDおよびマージン領域MRのいずれにも、n+エミッタ層5は設けられていない。すなわち、ホールHが通過する経路には、n+エミッタ層5が存在しない。したがって、これらのサイド拡散領域SDおよびマージン領域MRを通過するホールHによって、寄生バイポーラトランジスタが導通することがない。すなわち、装置のRBSOAが向上する。その結果、例えば、L負荷が接続された状態で装置101がオン状態からオフ状態へと転じる際に、装置の破壊が発生しなくなる。

【0064】マージン領域MRの幅は、略50 $\mu$ mあれば十分である。pベース層4へ侵入したホールHの経路は、サイド拡散領域SDの境界面から50 $\mu$ m以内の領域に収まる。したがって、幅が略50 $\mu$ mあれば、マージン領域MRは、殆どすべてのホールHの経路をカバーし得る。また、50 $\mu$ mを超えて不必要に大きくマージン領域MRの幅を設定するのは、装置101の有効面積を削減することにつながるため、望ましくない。

【0065】図2において、ユニットセルの長さ、すなわちセル長 $L_0$ は、代表的には、1~2mm程度に設定される。したがって、マージン領域MRの幅が50 $\mu$ mを超えると、ユニットセルの両端において、総計100 $\mu$ mを超える無効領域が発生することになる。すなわち、有効面積が5%~10%以上削減される結果となる。この割合の大きさは、実用上の許容限界といえる。このように、装置101の有効面積を、実用的な範囲に確保する意味では、マージン領域MRの幅は、略50 $\mu$ mを上限とするのが望ましい。

【0066】また、マージン領域MRの幅は、0~略50 $\mu$ mの範囲で大きいほど、主要経路から外れたホールHをカバーする割合が高まり、それにとらなうて、寄生バイポーラトランジスタの導通を抑える効果が高まる。ただし、マージン領域MRの幅が0であるとき、すなわちマージン領域MRが設けられないときでも、ホールHの主要経路はサイド拡散領域SDの中に存在するために、寄生バイポーラトランジスタの導通を抑える効果は、相当程度に得られる。

【0067】上述したように、装置101では、複数の溝7が一定の間隔Weelをもって平行に配列されている。このことは、複数の溝7の中の一部の底部に電界が集中することを防止する。しかも、間隔Weelは、各溝7の底部の付近の電界を十分に弱める程度に狭く（例えば3 $\mu$ m~5 $\mu$ m程度に）設定される。さらに、図示を略するが、従来の装置151と同様に、半導体基体200の上面の外周に沿ったゲート配線GLの外側には、ガードリングが設けられている。

【0068】このため、アバランシェ電流は、図1および図5に示した領域、すなわち、セル領域CRに面するサイド拡散領域SDとn-半導体層3の境界付近の領域でのみ発生する。そして、この領域で発生したアバランシェ電流が、寄生バイポーラトランジスタの導通をもたらさないで、装置101全体として、寄生バイポーラトランジスタの導通が抑制される。すなわち、サイド拡散領域SDおよびマージン領域MRにおける特徴的な構成が、装置101のRBSOAの向上に効果的にむすびつく。

【0069】また、上述したように、n+エミッタ層5が半導体基体200の上面に露出することはない。ユニットセルの微細化に寄与する。すなわち、間隔Weelをより一層狭く設定することが可能となる。このことは、サイド拡散領域SD以外の部位におけるアバランシェ電流の発生をさらに抑制する。したがって、装置101のRBSOAがさらに効果的に改善される。

【0070】<1-3.製造方法>つきに、装置101の製造方法について説明する。図5~図17は、装置101の好ましい製造方法の例を示す製造工程図である。装置101を製造するには、まず、図5に示すように、半導体基体200のもとになる平板状の半導体基体20を形

成する。

【0071】半導体基体20は、例えば、p+コレクタ層1に相当するp型シリコン基板をまず準備し、その後、その一方主面の上に、n+バッファ層2およびn-半導体層3を、エピタキシャル成長法によって順次積層することによって、形成される。不純物濃度の異なるn+バッファ層2とn-半導体層3は、エピタキシャル成長の過程で導入される不純物の量を、段階的に変化させることによって得られる。

【0072】つぎに、図7に示すように、n-半導体層3の上に、形成すべきp半導体層13に対応したパターン形状を有する遮蔽体4-1を形成する。そして、遮蔽体4-1をマスクとして用いて、p型不純物を選択的に注入し、その後アニールを施すことによってp型不純物を拡散する。その結果、n-半導体層3の上面にp半導体層13が選択的に形成される。

【0073】つぎに、図8に示すように、n-半導体層3の上に、形成すべきpベース層4に対応したパターン形状を有する遮蔽体4-2を形成する。そして、遮蔽体4-2をマスクとして用いて、p型不純物を選択的に注入する。その後、遮蔽体4-2を除去した後に、アニールを施すことによってp型不純物を拡散させる。その結果、n-半導体層3の上面にpベース層4が選択的に形成される。pベース層4はp半導体層13と連続するように形成され、しかも、p半導体層13よりも薄く形成される。

【0074】つぎに、図9に示すように、形成すべきn+エミッタ層5に対応した開口部をpベース層4の上に有する遮蔽体4-3を形成する。遮蔽体4-3のパターン形状は、リソグラフィを用いた周知の乾渉法によって器具に得られる。そして、遮蔽体4-3をマスクとして用いて、n型不純物を選択的に注入する。

【0075】その後、遮蔽体4-3を除去した後に、アニールを施すことによってn型不純物を拡散する。その結果、pベース層4の上面にn+エミッタ層5が選択的に形成される。n+エミッタ層5は、p半導体層13のサイド拡散領域から一定距離離れた領域にのみ形成される。

【0076】つぎに、図10に示すように、半導体基体20の上主面全体に酸化膜2-1を形成し、この酸化膜をパターンニングすることによって遮蔽体4-4を得る。遮蔽体4-4は、n+エミッタ層5の上面に選択的に開口するように、パターンニングされている。また、図10に示すように、遮蔽体4-4の複数の開口部の一部は、n+エミッタ層5が存在しない、サイド拡散領域の付近の領域に、開口していても支障はない。そして、この遮蔽体4-4をマスクとして用いて、RIE (Reactive Ion Etching) を実行することにより、半導体基体20の上面からpベース層4を露出しn-半導体層3へと達する溝7を形成する。その後、遮蔽体4-4は除去される。

【0077】つぎに、図11に示すように、溝7を含む半導体基体20の表面に、熱酸化によって酸化膜2-1を形成する。その後、酸化膜2-1の表面に、例えば不純物がドーパされたポリシリコン2-2を堆積する。その結果、ポリシリコン2-2は、溝7を埋め尽くすとともに、半導体基体20の上主面全体にわたって層状に堆積する。

【0078】つぎに、図12に示すように、p半導体層13の上面のゲート配線G-1を配設すべき領域に、選択的に遮蔽体4-5を形成する。

【0079】その後、図13に示すように、遮蔽体4-5をマスクとして用いて、ポリシリコン2-2を選択的に除去する。その結果、ポリシリコン2-2は、遮蔽体4-5で覆われた領域と、溝7の中に埋め込まれた部分とを残して除去される。遮蔽体4-5で覆われた部分はゲート配線G-1となり、溝7に埋め込まれた部分は、ゲート電極10となる。

【0080】つぎに、図14に示すように、ゲート電極10およびゲート配線G-1を含む上面全体を覆うように、絶縁層2-3を堆積する。この絶縁層2-3は絶縁層9のもとになるものであり、絶縁層9と同一の材料で構成される。

【0081】つぎに、図15に示すように、ゲート電極10の上の部分、およびゲート配線G-1の上の部分を残すように、絶縁層2-3を選択的に除去することによって、絶縁層9を形成する。その結果、露出溝7に埋め込まれた領域の上面、p半導体層13のサイド拡散領域の上面、および、p半導体層13のサイド拡散領域に近いpベース層4内の領域の上面に、コンタクトホールが形成される。

【0082】つぎに、図16に示すように、半導体基体20の露出面、および絶縁層9の上面を覆うように、例えばAl-Siを堆積することによって、エミッタ電極1-1を形成する。その結果、エミッタ電極1-1は、絶縁層9が有するコンタクトホールを通じて、半導体基体20の上面に選択的に接続される。

【0083】つぎに、図17に示すように、半導体基体20の下主面、すなわちp+コレクタ層1の露出面に、例えばAl-Mo-Ni-Au合金を堆積することによって、コレクタ電極1-2を形成する。

【0084】以上のようにより、堆積工程、ならびに不純物の注入および拡散工程を主体とする通常のウェハプロセスを、組み合わせて用いることによって、装置10-1が容易に製造される。

【0085】<2.実施形態2>図18は、実施形態2の絶縁ゲート型半導体装置の断面図である。この装置10-2の上面は、装置10-1と同様に、図2の平面図で表される。そして、図18は、図2のC4-C4切断線に沿った断面図に相当する。

【0086】図18に示すように、装置10-2では、溝

7がp半導体層13にも形成されている点が、装置101とは特徴的に異なっている。すなわち、一定の間隔Wwelをもって平行に配列する複数の溝7の中で、配列方向の端部に位置する一部の溝7が、p半導体層13の中にまで形成されている。図18には、p半導体層13に位置する溝7が1本である例を示しているが、一般には複数本であってもよい。

【0087】サイド拡散領域SDおよびマージン領域MRの上面に、コンタクトホールCHが形成されるとともに、これらのサイド拡散領域SDおよびマージン領域MRのいずれにも、n+エミッタ層5が形成されない。すなわち、装置101と同様である。このため、寄生バイポーラトランジスタの導通が抑制され、装置のRBSOAが向上するという利点は、装置101と同様に得られる。

【0088】同時に、溝7の列の一部がp半導体層13に重複するように形成されるので、溝7を形成するためのマスクパターンの位置ずれに由来する溝7の位置ずれがあっても、サイド拡散領域SDの外にあってサイド拡散領域SDに最も近い溝7とサイド拡散領域SDとの間の距離は、間隔Wwelを超えることがない。すなわち、サイド拡散領域SDと溝7との間の距離が不必要に長くなることによって、溝7の底部に電場が集中し、この部分でアバランシェ電流が発生するという不具合を、マスクパターンの位置合わせに高い精度を要することなく、容易に回避することができる。

【0089】以上のように、装置102では、マスクパターンの位置合わせに高い精度を要することなく、装置のRBSOAを効果的に向上させることができる。

【0090】次に、装置102の製造方法について説明する。図19は、装置102の製造工程を示す工程図である。装置102を製造するには、まず、図6～図9に示した工程を実行する。

【0091】次に、図19に示すように、半導体基体20の上表面全体に酸化膜(SiO<sub>2</sub>)を形成し、この酸化膜をパターンニングすることによって遮蔽体44を得る。遮蔽体44は、n+エミッタ層5の上面に選択的に開口するように、パターンニングされている。また、図10に示すように、遮蔽体44の複数の開口部の一部は、p半導体層13の上面に開口する。

【0092】そして、この遮蔽体44をマスクとして用いて、RTEを実行することにより、半導体基体20の上面からpベース層4を露出し、p半導体層13へと達する溝7を形成する。その後、遮蔽体44は除去される。その後、図11～図17に示した工程を実行することによって、装置102が完成する。

【0093】以上のように、装置101の製造方法と同様に、堆積工程、ならびに不純物の注入および拡散工程を主体とする通常のウェハプロセスを、組み合わせて用いることによって、装置102が容易に製造される。

【0094】<3.実施の形態3>図20は、実施の形態

3の絶縁ゲート型半導体装置の断面斜視図である。この装置103の上面も、装置101、102と同様に、図2の平面図で表される。そして、図20の断面は、図2のC1-C1'切断線に沿った断面に相当する。

【0095】図3に示すように、装置103では、半導体基体200の上表面の中の、n+エミッタ層5に囲まれたpベース層4の露出面に、pベース層4よりも高い高度でp型不純物を含有するp+層15が形成されている。また、装置101の図3に現れる構造とは特徴的に異なっている。

【0096】図21、図22、および図23は、装置103のセル領域CRとゲート配線領域GRとの間の境界付近の構成を示す断面図である。これらの中で、図21は、図2におけるC3-C3'切断線付近の半導体基体200の上表面を示す断面図、図22は、C3-C3'切断線に沿った断面図、そして、図23は、C4-C4'切断線に沿った断面図である。

【0097】これらの図21～図23に示すように、装置103では、n+エミッタ層5に囲まれたpベース層4の露出面だけでなく、pベース層4のマージン領域MRに相当する領域の中の、少なくともコンタクトホールCHに囲まれる上面部分、および、サイド拡散領域SDの中の、少なくともコンタクトホールCHに囲まれる上面部分にも、p+層15が形成されている。また、装置101、102とは特徴的に異なっている。p+層15の不純物濃度は、pベース層4およびp半導体層13のいずれよりも高く設定されている。

【0098】以上のように、装置103では、pベース層4およびサイド拡散領域SDの上面において、少なくともコンタクトホールCHに囲まれる部分に、p+層15が形成されている。このため、pベース層4およびp半導体層13は、ともに、不純物濃度の高いp+層15を介してエミッタ電極11に接続される。その結果、pベース層4とエミッタ電極11の間、およびp半導体層13とエミッタ電極11の間のコンタクト抵抗が低くなるとともに、それらの間のポテンシャル障壁も低くなる。

【0099】このため、pベース層4あるいはp半導体層13へと流入したホールが、エミッタ電極11へと抜け易くなる。その結果、電流が流れ易くなるので、ターンオフできる電流の値が高くなる。言い換えると、装置103では、p+層15が設けられるために、RBSOAが改善されるという利点が得られる。

【0100】なお、サイド拡散領域SDおよびマージン領域MRの上面に、コンタクトホールCHが形成されるとともに、これらのサイド拡散領域SDおよびマージン領域MRのいずれにも、n+エミッタ層5が形成されない。すなわち、装置101、102と同様である。このため、寄生バイポーラトランジスタの導通が抑制され、装置のRBSOAが向上するという利点は、装置101、102



2と同様に得られる。

【0101】つぎに、装置103のいくつかの好ましい製造方法について説明する。

【0102】図24は、製造方法の一例を示す製造工程図である。この製造方法例では、まず、図6～図13の工程を実行する。その後、図24に示すように、ゲート電極10、 $n^+$ エミッタ層5、およびゲート配線GLを覆う遮蔽体47を形成する。遮蔽体47は、図13の工程後に露出する上面全体に遮蔽体47の材料を堆積した後に、パターニングを施すことによって得られる。

【0103】遮蔽体47は、半導体基体20の上主面の中で、 $p$ ベース層4の $n^+$ エミッタ層5に囲まれた領域、 $p$ ベース層4のマージン領域MRに相当する領域、および、セル領域CRに面する $p$ 半導体層13のサイド拡散領域SDに、選択的に開口する。言い替えると、遮蔽体47は、後続する工程で形成されるコンタクトホールCHを包含する領域に、選択的に開口している。

【0104】つぎに、遮蔽体47をマスクとして用いて、 $p$ 型不純物を半導体基体20の上主面に選択的に注入する。その後、遮蔽体47を除去した後、アニールを施すことによって、注入された不純物を拡散させる。その結果、半導体基体20の上主面部分に、 $p$ 層15が選択的に形成される。その後、図14～図17に示した工程を実行することによって、装置103が得られる。

【0105】図25および図26は、製造方法の別の一例を示す製造工程図である。この製造方法例では、まず、図6～図8の工程を実行する。その後、図25に示すように、形成すべき $p$ 層15に対応した開口部を有する遮蔽体48を、半導体基体20の上主面に形成する。

【0106】遮蔽体48は、半導体基体20の上主面の中で、後続する工程で形成される $n^+$ エミッタ層5に囲まれた領域、 $p$ ベース層4のマージン領域MRに相当する領域、および、セル領域CRに面する $p$ 半導体層13のサイド拡散領域SDに、選択的に開口する。すなわち、遮蔽体48は、遮蔽体47と同様に、後続する工程で形成されるコンタクトホールCHを包含する領域に、選択的に開口している。

【0107】つぎに、遮蔽体48をマスクとして用いて、 $p$ 型不純物を半導体基体20の上主面に選択的に注入する。その後、遮蔽体48を除去した後、アニールを施すことによって不純物を拡散させる。その結果、半導体基体20の上主面部分に、 $p$ 層15が選択的に形成される。

【0108】つぎに、図26に示す工程を実行する。すなわち、形成すべき $n^+$ エミッタ層5に対応した開口部を $p$ ベース層4の上に有する遮蔽体43を形成する。遮蔽体43の開口部は、遮蔽体48の開口部と重複しないように形成されている。そして、この遮蔽体43をマス

クとして用いて、 $n$ 型不純物を選択的に注入する。

【0109】つぎに、遮蔽体43を除去した後、アニールを施すことによって $n$ 型不純物を拡散させる。その結果、 $p$ ベース層4の上面に、 $n^+$ エミッタ層5が選択的に形成される。 $n^+$ エミッタ層5は、 $p$ 半導体層13のサイド拡散領域から一定距離離れた領域にのみ形成される。その後、図10～図17に示す工程を実行することによって、装置103が得られる。

【0110】図27は、製造方法のさらに別の一例を示す製造工程図である。この製造方法例では、まず、図6～図9の工程を実行する。その後、図27に示すように、 $n^+$ エミッタ層5を覆う遮蔽体49を形成する。遮蔽体49は、半導体基体20の上主面の中で、 $p$ ベース層4の $n^+$ エミッタ層5に囲まれた領域、 $p$ ベース層4のマージン領域MRに相当する領域、および、セル領域CRに面する $p$ 半導体層13のサイド拡散領域SDに、選択的に開口する。言い替えると、遮蔽体49は、後続する工程で形成されるコンタクトホールCHを包含する領域に、選択的に開口している。

【0111】つぎに、遮蔽体49をマスクとして用いて、 $p$ 型不純物を半導体基体20の上主面に選択的に注入する。その後、遮蔽体49を除去した後、アニールを施すことによって不純物を拡散させる。その結果、半導体基体20の上主面部分に、 $p$ 層15が選択的に形成される。その後、図10～図17に示した工程を実行することによって、装置103が得られる。

【0112】図28は、製造方法のさらに別の一例を示す製造工程図である。この製造方法例では、まず、図6～図9の工程を実行する。その後、図28に示すように、後続する工程でゲート配線GLが配設される領域を覆う遮蔽体50を形成する。つぎに、遮蔽体50をマスクとして用いて、 $p$ 型不純物を半導体基体20の上主面に選択的に注入する。

【0113】その後、遮蔽体50を除去した後、アニールを施すことによって不純物を拡散させる。その結果、半導体基体20の上主面部分に、 $p$ 層15が選択的に形成される。なお、この製造方法では、注入される $p$ 型不純物の量は、 $p$ 層15における $p$ 型不純物の濃度が、 $n^+$ エミッタ層5における $n$ 型不純物の量に比べて、十分に低くなるように調節される。このため、すでに形成されている $n^+$ エミッタ層5が、 $p$ 型不純物によって、実質的な影響を受けることはない。

【0114】その後、図10～図17に示した工程を実行することによって、装置103が得られる。

【0115】以上に例示した4通りの製造方法のいずれにおいても、装置101、102の製造方法と同様に、増設工程、ならびに不純物の注入および拡散工程を主体とする通常のウェハプロセスを組み合わせて用いることによって、装置103を容易に得ることができる。特に、図28に例示した方法では、 $p$ 型不純物を導入する

ための遮蔽体を、 $n^+$ エミッタ層5に対して位置合わせする必要がないので、製造が特に容易である。

#### 【0116】<4.変形例>

(1)以上の実施の形態では、 $n$ チャネル型のIGBTを例として説明したが、この発明は、 $p$ チャネル型のIGBTについても、実施が可能である。各実施の形態で例示した $n$ チャネル型のIGBTを構成する各半導体層の導電形式を逆転させることによって、 $p$ チャネル型のIGBTが得られる。

【0117】(2)以上の実施の形態では、IGBTを例として説明したが、この発明は、トレンチゲートを有する半導体装置一般に実施が可能である。例えば、各実施の形態のIGBTにおいて、 $p^+$ コレクタ層1をなくして、 $n^+$ パッシブ層2の表面にコレクタ電極12を直接に形成することによって、MOSFETが得られる。そして、このMOSFETにおいても、各実施の形態のIGBTと同様に、寄生バイポーラトランジスタの増速が抑えられるので、装置のRBSOAが向上する。

#### 【0118】

【発明の効果】第1の発明の装置では、ゲート配線の直下に、第2半導体層よりも深い第3半導体層が形成されており、そのことによって装置の耐圧を高く維持している。さらに、第2半導体層に隣接する第3半導体層のサイド拡散領域に第1主電極が接続されているので、サイド拡散領域の付近で発生したアバランシェ電流を担うホールの大半は、サイド拡散領域の内部を通過して第1主電極へと速やかに排除される。しかも、この主要経路には第4半導体層が存在しないので、ホールの流れによる寄生バイポーラトランジスタの増速が抑えられる。このため、RBSOAが向上する。

【0119】第2の発明の装置では、サイド拡散領域に隣接する第2半導体層内の一定の領域であるマージン領域にも、サイド拡散領域と同様に、第1主電極が接続され、しかも第4半導体層が存在しない。このため、主要経路から外れた少数のホールも第1主電極へと速やかに排除されるとともに、しかもこれらの少数のホールによる寄生バイポーラトランジスタの増速も抑えられる。その結果、RBSOAがさらに向上する。

【0120】第3の発明の装置では、マージン領域のサイド拡散領域からの幅が $50\mu\text{m}$ 以下に設定されている。このため、マージン領域が、サイド拡散領域の付近で発生するアバランシェ電流を担うホールの経路から外れて、不必要に広く設定されることがなく、しかも、装置の有効面積が装置全体に占める比率が、実用的な大きさに確保される。

【0121】第4の発明の装置では、溝が複数の単位溝に分割されているので、大きな主電流が得られる。しかも、複数の単位溝が、互いに平行かつ等間隔に配列するので、各単位溝の底部の付近の電界が均一化され、一部への電界の集中が回避される。このため、各単位溝の底

部でアバランシェ電流が発生し難いので、第3半導体層のサイド拡散領域のアバランシェ電流による寄生バイポーラトランジスタの増速を抑えることが、装置のRBSOAの向上に一層効果的に寄与する。

【0122】第5の発明の装置では、複数の単位溝の配列方向の端部に位置する少なくとも1本が、第3半導体層にも形成されているので、各単位溝を形成するためのマスクパターンの位置ずれに由来する各単位溝の位置ずれがあっても、サイド拡散領域とこれに最近接する単位溝との間の距離は、複数の単位溝の配列間隔を超えることがない。このため、サイド拡散領域に最近接する単位溝の底部に電場が集中し、この部分でアバランシェ電流が発生するという不具合を、マスクパターンの位置合わせに高い精度を要することなく回避し、装置のRBSOAを向上させることができる。

【0123】第6の発明の装置では、溝の長手方向の端部が第3半導体層の内部にまで侵入しているため、この端部に電場が集中し、この部分でアバランシェ電流が発生するという不具合を回避し、装置のRBSOAを向上させることができる。

【0124】第7の発明の装置では、第2および第3半導体層が、不純物濃度の高い第5半導体層を介して第1主電極へ接続されている。このため、これらの接続部におけるコンタクト抵抗、および、ポテンシャル降下が低くなる。その結果、第2および第3半導体層へ侵入したホールが、第1主電極へと抜け易くなるので、ターンオフできる電流の値が高くなる。すなわち、RBSOAの高い装置が実現する。

【0125】第8の発明の製造方法では、工程(d)で、第4半導体層が第3半導体層を除いて形成され、工程(h)で、第1主電極がサイド拡散領域にも接続されるので、第1の発明の装置が得られる。すなわち、特別に複雑な工程あるいは困難な工程を何等用いることなく、従来周知のウェハプロセスを組み合わせただけの方法で、RBSOAに優れた装置を容易かつ安価に製造可能である。

【0126】第9の発明の製造方法では、工程(d)で、第4半導体層がマージン領域をも除いて形成され、工程(h)で、第1主電極がマージン領域にも電気的に接続されるので、第2の発明の装置が得られる。すなわち、RBSOAがさらに向上した装置を、容易かつ安価に製造可能である。

【0127】第10の発明の製造方法では、工程(c)で、溝が互いに平行かつ等間隔に配列する複数の単位溝に分割して形成されるので、第4の発明の装置が得られる。すなわち、装置のRBSOAの一層の向上がもたらされる装置を、容易かつ安価に製造可能である。

【0128】第11の発明の製造方法では、工程(c)で、複数の単位溝の少なくとも一本が前記サイド拡散領域にも形成されるので、複数の単位溝を形成する位置

に、多少のずれがあっても、サイド拡散領域とこれに最近接する単位溝との間の距離は、複数の単位溝の配列間隔を超えることがない。このため、単位溝の形成位置の精度を高くすることなく、アバランシェ電流が単位溝の底部に発生し難い装置、すなわちRBSOAに依れた装置を容易に製造することができる。

【0129】第12の発明の製造方法では、工程(J)で、第2および第3半導体層と第1主電極との接続部分に、第5半導体層が選択的に形成されるので、第6の発明の装置が得られる。すなわち、RBSOAの高い装置を、容易かつ安価に製造可能である。

#### 【図面の簡単な説明】

- 【図1】 実施の形態1の装置の断面図である。
- 【図2】 実施の形態1の装置の平面図である。
- 【図3】 実施の形態1の装置の断面斜視図である。
- 【図4】 実施の形態1の装置の断面図である。
- 【図5】 実施の形態1の装置の断面図である。
- 【図6】 実施の形態1の装置の製造工程図である。
- 【図7】 実施の形態1の装置の製造工程図である。
- 【図8】 実施の形態1の装置の製造工程図である。
- 【図9】 実施の形態1の装置の製造工程図である。
- 【図10】 実施の形態1の装置の製造工程図である。
- 【図11】 実施の形態1の装置の製造工程図である。
- 【図12】 実施の形態1の装置の製造工程図である。
- 【図13】 実施の形態1の装置の製造工程図である。
- 【図14】 実施の形態1の装置の製造工程図である。
- 【図15】 実施の形態1の装置の製造工程図である。

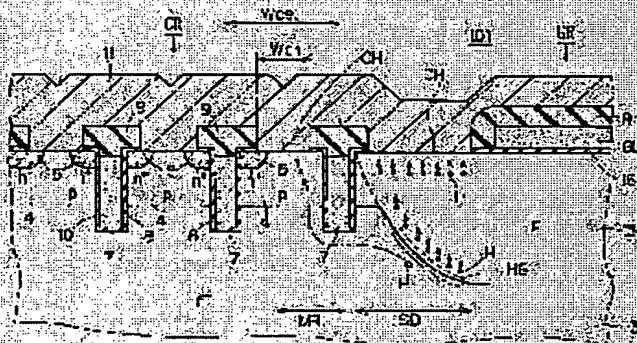
- 【図16】 実施の形態1の装置の製造工程図である。
- 【図17】 実施の形態1の装置の製造工程図である。
- 【図18】 実施の形態2の装置の断面図である。
- 【図19】 実施の形態2の装置の製造工程図である。
- 【図20】 実施の形態3の装置の断面斜視図である。
- 【図21】 実施の形態3の装置の断面図である。
- 【図22】 実施の形態3の装置の断面図である。
- 【図23】 実施の形態3の装置の断面図である。
- 【図24】 実施の形態3の装置の製造工程図である。
- 【図25】 実施の形態3の装置の製造工程図である。
- 【図26】 実施の形態3の装置の製造工程図である。
- 【図27】 実施の形態3の装置の製造工程図である。
- 【図28】 実施の形態3の装置の製造工程図である。
- 【図29】 従来の装置の断面図である。
- 【図30】 従来の装置の動作を説明する模式図である。

【図31】 従来の装置の部分拡大断面図である。

#### 【符号の説明】

3 n-半導体層（第1半導体層）、4 p-ベース層（第2半導体層）、5 n+エミッタ層（第4半導体層）、7 溝（単位溝）、8 ゲート絶縁膜、10 ゲート電極、11 エミッタ電極（第1主電極）、12 コレクタ電極（第2主電極）、13 p-半導体層（第3半導体層）、15 p+層（第5半導体層）、16 絶縁膜、GL ゲート配線、SD サイド拡散領域、MR マーゾン領域、200 半導体基板。

【図1】



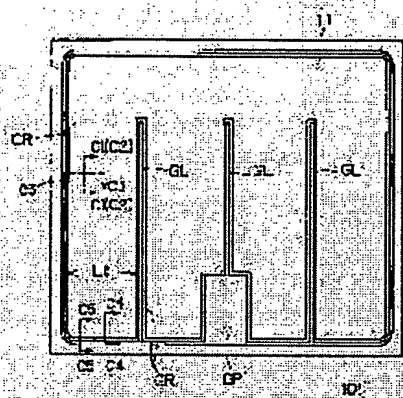
3 n-半導体層（第1半導体層）  
4 p-ベース層（第2半導体層）  
5 n+エミッタ層（第4半導体層）  
7 溝（単位溝）  
8 ゲート絶縁膜  
10 ゲート電極  
11 エミッタ電極（第1主電極）  
12 コレクタ電極（第2主電極）  
13 p-半導体層（第3半導体層）  
15 p+層（第5半導体層）  
16 絶縁膜  
GL ゲート配線  
SD サイド拡散領域  
MR マーゾン領域

【図6】

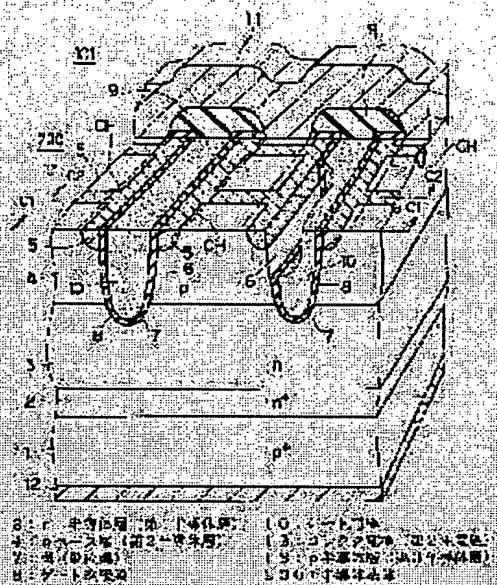




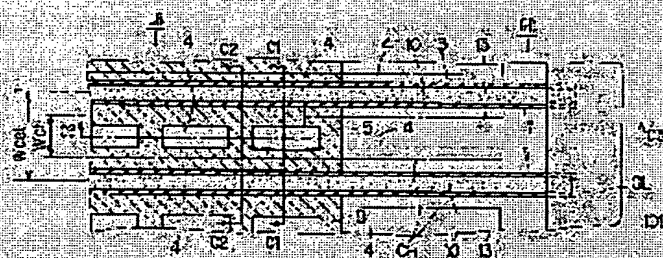
【例 2】



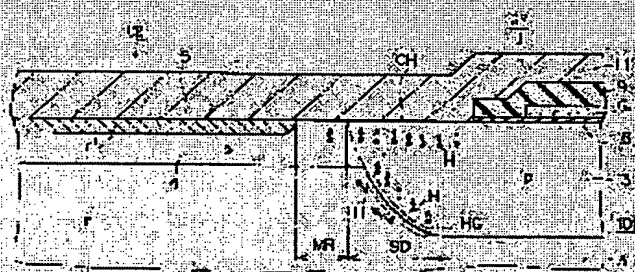
【圖3】



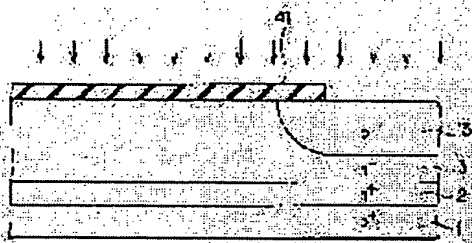
【圖4】



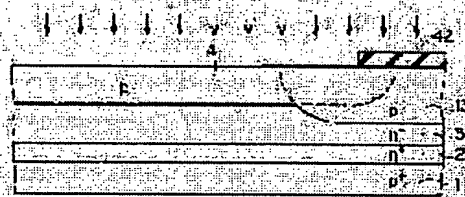
【圖5】



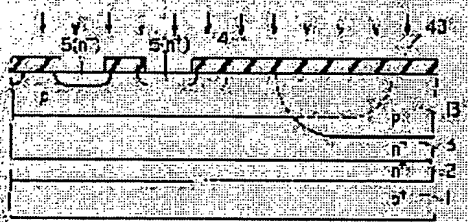
【圖 7】



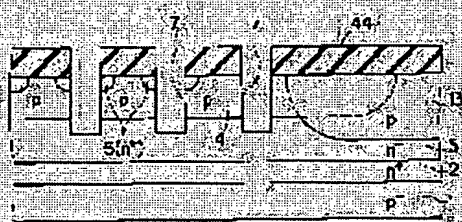
【圖 8】



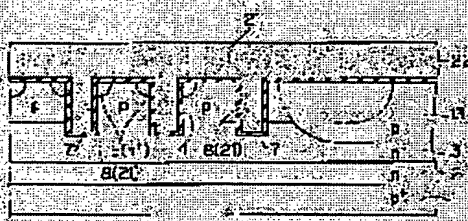
【圖 9】



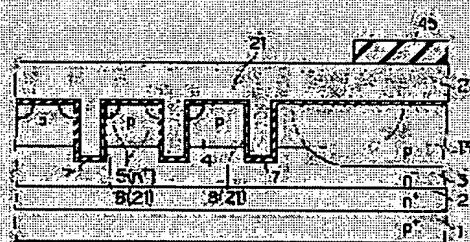
【圖 10】



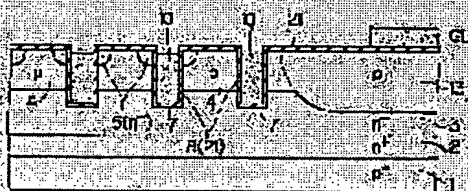
【圖 11】



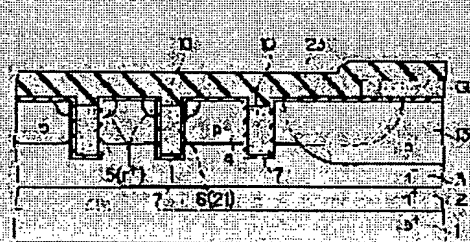
【圖 12】



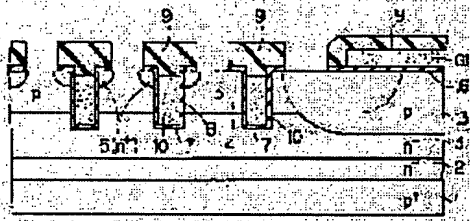
【圖 13】



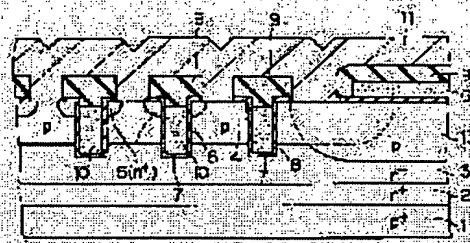
【圖 14】



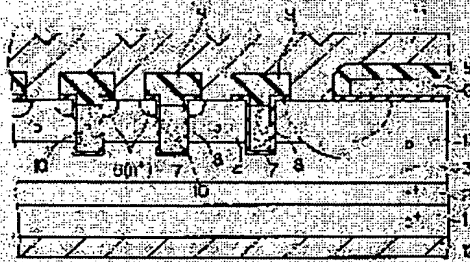
【圖15】



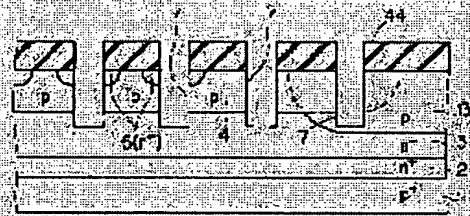
【圖16】



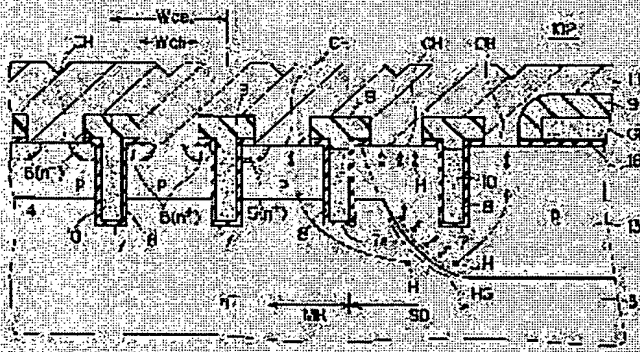
【圖17】



【圖18】



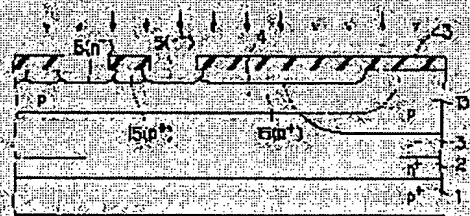
【圖19】



【圖20】

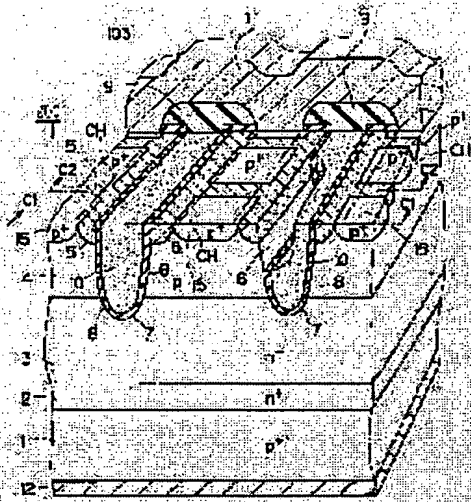


【圖21】



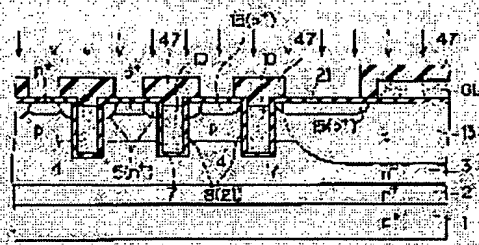


【圖2.0】

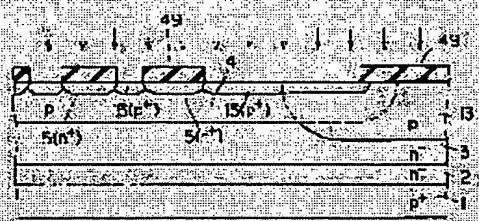


1.5 μm (約 5 半徑)

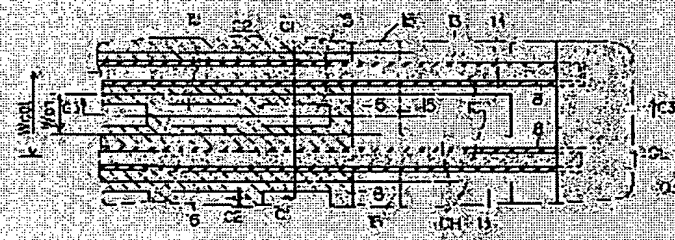
【圖2.4】



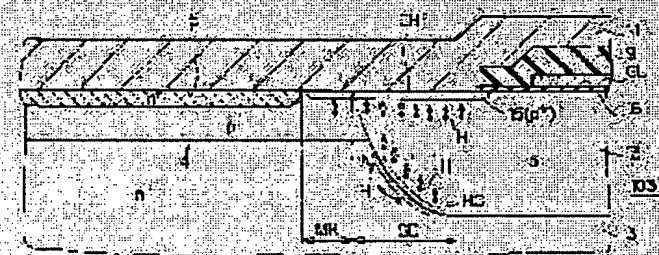
【圖2.7】



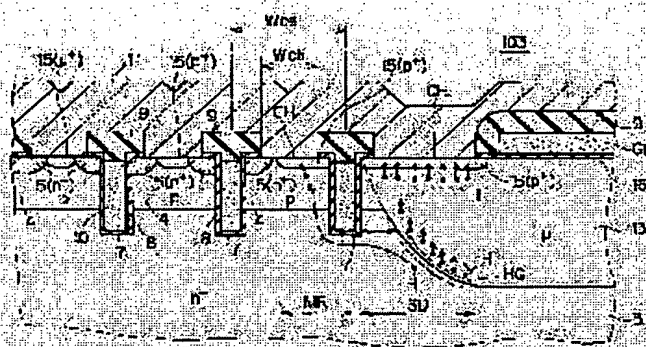
【圖2.1】



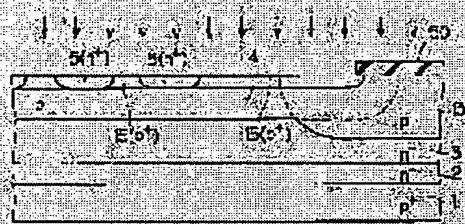
【圖2.2】



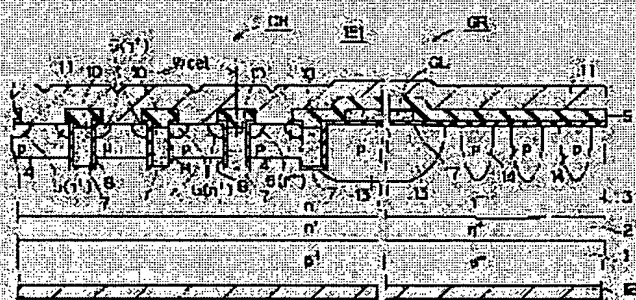
【圖2.3】



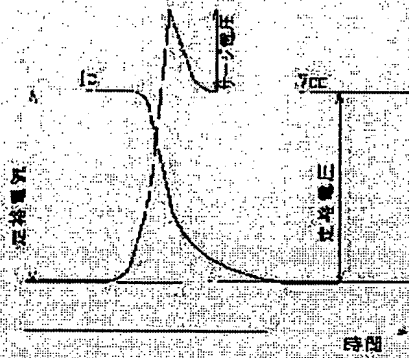
【圖2.3】



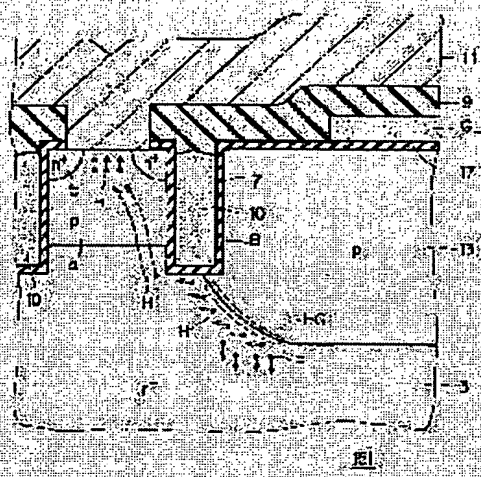
【圖2.3】



【圖30】



【圖31】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**